

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-102280

(13)公開日 平成5年(1993)4月23日

(51) Int.Cl. [*] H 01 L 21/66 21/60 21/66	識別記号 Z 8406-4M 3 1 1 R 6918-4M D 8406-4M	序内整理番号 F I	技術表示箇所
---	---	---------------	--------

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号 特願平3-257268	(71)出願人 000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日 平成3年(1991)10月4日	(71)出願人 000221199 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1
	(72)発明者 渡辺 恒一 神奈川県川崎市川崎区駅前本町25番地1
	(72)発明者 浜崎 弘海 神奈川県川崎市川崎区駅前本町25番地1
	(74)代理人 弁理士 大胡 輝夫

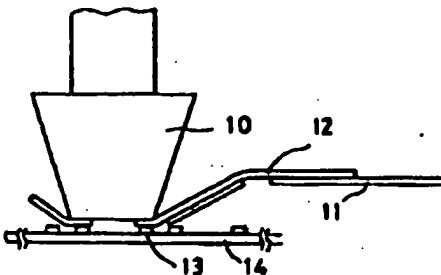
最終頁に続く

(54)【発明の名称】 半導体ウエーハの試験方法及び組立方法

(57)【要約】

【目的】 プローブカード方式では、コンタクトができなかった微細なパッドピッチを備えた半導体チップでも、電気的な接觸ができる半導体チップの試験方法を提供する点。

【構成】 半導体チップに形成するパッドに対して、可換性に富んだ絶縁性フィルムに形成した微細化したリードを非導通ツールにより押圧して電気的な接続を確保する。このリードの他端をテスターなどの測定装置に接続することにより、半導体チップに形成する能動または受動素子の特性を試験する方法であり、プローブカードなしで試験できるので、確実で安価になる。



【特許請求の範囲】

【請求項1】 半導体チップに受動素子または能動素子を形成する工程と、前記各素子に電気的に接続するパッドを半導体チップに形成する工程と、絶縁性フィルムにリードを形成する工程と、前記パッドにリードの一端を電気的に接続する工程と、前記リードの他端を介して前記各素子の電気的特性を試験する工程を具備することを特徴とする半導体ウエーハの試験方法

【請求項2】 半導体チップに受動素子または能動素子を形成する工程と、前記各素子に電気的に接続するパッドを半導体チップに形成する工程と、絶縁性フィルムにリードを形成する工程と、前記パッドにリードの一端を電気的に接続する工程と、前記リードの他端を介して前記各素子の電気的特性を試験する工程と、前記工程での良品半導体チップに施す組立工程を具備することを特徴とする半導体ウエーハの組立方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体素子の製造に關し、特に、半導体ウエーハの試験方法に好適なものである。

【0002】

【従来の技術】 携帯用液晶TVつきVTRの好調な発行や、携帯電話機などの薄型、軽量化電子機器は、市場に大きな影響を与えており、このような機器が出現する背景には、集積回路技術の進歩、小型デバイス、回路基板の細緻化技術、アセンブリ技術などが整合して達成した。

【0003】 最近の集積回路素子（以後半導体素子と記載する）の集積度は、益々向上しており、これに対応する多ピン構造に備えていわゆるTAB方式のアセンブリ手段を多用する傾向にある。

【0004】 このような高密度集積回路のパッケージは、大型チップへの対応、実装面積の縮小など、多くの技術上の課題があり、最も一般的なワイヤボンディングの限界を見越して、ワイヤレスポンディングが見直されている。その代表的な手法には、フリップチップとTABなどがあり、後者は、各種の基板材質に対応できるのが特徴である。

【0005】 ところで、半導体素子の製造は、半導体ウエーハに所定の不純物を導入・拡散して能動素子または受動素子を形成するいわゆる前処理工程と、処理を終えた半導体ウエーハをリードフレームやポリイミド樹脂などにマウントして組立るいわゆる組立工程に大別できる。現在は、両工程とも自動化されて、最大の汚染源である人体の関与をできるだけ少なくて、製品の歩留りを向上しているのが現状である。一方、半導体素子の試験に関しては、いわゆるダイソータ試験をいわゆるウエーハプロセス終了後にプロープカードを利用して行っている。前処理工程により半導体ウエーハに通り込まれた

各素子は、いわゆるパッドと電気的に接続し、ダイソータ試験では、このパッドとテスター間にプロープカードを介しあつ、パッドにニードル（Needle）を接触させて試験する方式が採られている。TABテープを利用して実装工程を終えた半導体素子では、TABテープの特徴である可搬性を生かして、連続的にダイソータ試験を行う点が、リードフレームによる実装工程を経た半導体素子と違う点である。

【0006】 図3の斜視図は、可搬性に富んだ絶縁性フィルム1に半導体素子2をマウントし、インナーリード3と半導体素子2に形成したパッド4間にいわゆる熱圧着（ボンディング）工程により図示した状態を示した。

【0007】 また図4では、プロープカードを利用するダイソータ試験の斜視図を示した。半導体素子2に形成するパッド4…夫々にニードル5を接続し、更に図示しないテスターにも接続することにより、半導体素子2内に形成する能動素子か受動素子（図示せず）などの特性を測定する。

【0008】

【発明が解決しようとする課題】 半導体素子の集積度の向上に対応して半導体チップの縮小化も進んでいるのに加えて、多ピン構造の要求も更に増加の傾向にある。これに伴って、半導体チップに形成するパッドピッチの縮小化ならびにパッド自体の縮小化が進んでいる。従って、プロープカードにおけるニードル間の距離が狭められるために高価になる傾向にあり、近い将来現状の固定カード方式での限界となり、半導体ウエーハの試験が不可能になることが予想できる。

【0009】 更に、半導体チップの選別といわゆるボンディング工程は、別の工程で行っているが、選別工程により抽出する不良の半導体チップは、いわゆるインナーリードボンディング工程で更にまた選別して効率が悪い。

【0010】 本発明は、このような事情により成されたもので、特に、従来のプロープカード方式では不可能であった微細なパッドピッチを形成する半導体チップに電気的な接觸が可能な半導体ウエーハの試験方法を提供することを目的とする。それに加えて、インナーリードボンディング工程で半導体チップの選別を行って、良品チップだけをいわゆるTABテープにボンディングすることも目的とする。

【0011】

【課題を解決するための手段】 半導体チップに受動素子または能動素子を形成する工程と、前記各素子に電気的に接続するパッドを半導体チップに形成する工程と、絶縁性フィルムにリードを形成する工程と、前記パッドにリードの一端を電気的に接続する工程と、前記リードの他端を介して前記各素子の電気的特性を試験する工程に本発明に係る半導体ウエーハの試験方法の特徴がある。

3

【0012】更に、このような試験において、選別した良品半導体チップに組立工程を施す点にも本発明の半導体ウエーハの組立方法の特徴がある。

【0013】

【作用】本発明の第1の発明では、いわゆるプローブカードを使用せずに半導体ウエーハの試験を可能にするものであり、このため能動素子や受動素子を造り込んだ半導体ウエーハに形成するパッドと、別に絶縁物例えばポリイミドフィルムに形成した微細化したリードを電気的に接続することにより半導体ウエーハの試験を行う。更に本発明の第2の発明にあっては、組立工程に不可欠なポンディングツールを加熱する直前に、バンプを介してインナーリードと半導体チップのパッドが接触状態となっている点に着目した。

【0014】この状態でTABテープのテストパッドを介して、半導体チップのパッドに電荷を加えて入力信号を印加することにより、試験と選別を第1の発明で行い、次いで良品チップのインナーリードだけをポンディングツールにより加熱してTABポンディングを行う。

【0015】

【実施例】本発明に係る一実施例を図1と図2により説明する。TAB方式により半導体素子をマウントする実施例を説明する。この方式に使用するTABテープ(別名フィルムキャリヤ以後絶縁性フィルムと記載する)には、1層～3層構造が知られており、1層は銅やAlなどのメタルのみであり、2層は、銅とポリイミドで構成し、3層は銅、接着剤とポリイミドの構成が使われている。なお銅などの金属層には仕上げメッキが施されていることを付記する。

【0016】TAB(Tape Automated Bonding)とは、テープを活用したポンディングとの意味合いであり、長尺フィルム上に、半導体素子に適応した配線パターンをコマ状に連続して形成し、リードと半導体チップの全端子を金属突起(以後バンプと記載する)を介して一括接続する方式を探っている。実装工程では、絶縁性フィルムの持つ特徴の可換性を生かしており、ウエーハプロセス終了後のプローブ検査をテープの状態で行うのも特徴の一つである。

【0017】本実施例で適用する絶縁性フィルムの中3層構造のものの、製造工程を簡単に示すと、接着剤付きベースフィルムをパンチング処理して、絶縁性フィルムの搬送に利用するスプロケットホールや、デバイスホールを形成する。次に銅浴をラミネート後、レジストを塗布して露光、現像及びエッチング(等方性もしくは異方性のいずれでも可)処理によりリード(アウター及びインナー)を形成する。更に、レジストを剥離してから仕上げメッキを行って検査出荷を行って絶縁性フィルムを形成する。

【0018】次に絶縁性フィルムを利用する実装工程に不可欠なバンプ形成について説明すると、半導体チップ

に何等かの処理を行うが、半導体チップ側へのバンプ形成に加えて、リード側に形成する方法の二つがある。

【0019】通常のバンプ形成方式は、半導体チップ上にパリヤメタルを介してバンプが形成されるために、半導体チップ自体に汎用性がないばかりでなく、複雑なプロセスや高額な設備が要るために形成コストが最も高くなる。

【0020】ポールポンディングによるバンプ形成も検討されているが、形成するポールの高さが1個づつ違うので、バンプ高さの制御が要求されるギャングポンディングTAB技術では、原理的に利用不可能である。

【0021】これに対して、転写バンプは、リード側に転写法により形成するので、あらゆる半導体チップに適用でき、バンプ形成コスト安価である。

【0022】また、リードの先端エッチング加工してリードの先端にリードと一体化してバンプを形成するメサバンプ方式では、半導体チップのアルミ電極表面に形成するアルミの酸化物を除去しないで接合するために、単位面積当たりの接合強度が低くなる。このようなバンプ形成手段があるが、半導体チップの汎用性、接合の信頼性、実用度更に、生産性を考慮して、転写バンプ方式が最も利用されている。本発明に係る実施例では、前記4方式とも利用可能であるが、利用頻度が最も大きいのは、転写方式である。

【0023】即ち、転写用バンプを形成・再生するための半永久的のメッキ用マスクを備えた基板と、更に絶縁性フィルム及び被測定半導体チップを用意する。絶縁性フィルムに形成するリードには、例えばSnメッキかAuメッキ処理を施す。

【0024】まず、バンプ形成用基板上のバンプとリードを位置合せ後、加熱・加圧してリード側にバンプを転写する。次に、転写したリード上のバンプと半導体チップ上のAl電極即ちパッドを位置合せしてから加熱・加圧してバンプとパッドを接合して一体化する。即ち、1回目のポンディングで基板上に形成したバンプをリード側に転写・接合し、2回目のポンディングでリード上のバンプを被測定半導体チップのアルミ電極上に接合する。

【0025】1回目のポンディング工程では、リードとバンプは、リードがSnメッキ処理の場合は、Au・Sn共晶合金、リードがAuメッキ処理では、Au・Au熱圧着で接合してバンプが形成する。この1st(F1rstの略)接合では、バンプ形成用基板上のバンプをわずか0.5g以下のリードの弾性力により、剥離し転写するものである。

【0026】そして、バンプとAl電極は、ワイヤポンディングと同じく、Au・Al合金で接合する2nd(Secondの略)接合では、加熱したポンディングツールによりリード上からバンプを加圧すると、リードによりバンプが変形して押し広げられ、Al電極表面に

5

形成するAl氧化膜を除去し、新しいAl表面を露出してAu-Al合金を形成するのが一般的な方法である。

【0027】しかし、本発明では、プローブ検査を目的とするために2nd接合時のツールとして図1の斜視図及び図2の断面図に示す非導通ツール10を使用するのが特徴である。

【0028】両図に示すように、可撓性絶縁性フィルム11にリード12を形成し、ここに転写するパンプ13には、半導体チップ14を接触する。

【0029】例えば異方性または等方性エッチングにより形成するリード12の幅は、ほぼ0.3mmであり、また絶縁性フィルム11を非導通ツール10により押圧しても特徴である可撓性により損傷することなく曲げることができる。従って、非導通ツール10による押圧により被測定半導体チップに形成するパンプ13とリード12の一端間に電気的な接続が形成される。

【0030】そこで、リード12の他端を図示しないスターに電気的に接続すれば被測定半導体チップに形成する能動素子または受動素子の特性を、従来のようにプローブカードを利用しなくても試験測定できる。

【0031】次に他の実施例としてこの試験測定工程後良品の半導体チップのボンディング工程を示す。即ち、このような試験測定後、非導通ツール10を加熱することによりパンプ13とリード12間にいわゆるボンディング工程を行う。しかも、ボンディング工程は試験測定で選別した良品の半導体チップを行い、従来不良品の選

6

別工程後、別途ボンディング工程を施したのに比較して工数削減となり、製造コストの低減となる。

【0032】

【発明の効果】本発明方法では、被測定半導体チップに形成する能動素子または受動素子と電気的に接続するパッドは、微細化したリードと電気的に接続することができる、プローブカードでは電気的に接触できないような微細なピッチでパッドを形成した半導体チップ特に効果がある。

10 【0033】また、マスクを利用する等方性または異方性エッチングによりリードが形成できるので、プローブカード方式よりはるかにコストパフォーマンスに富んだ半導体チップの試験方法が得られる。

【図面の簡単な説明】

【図1】本発明に係る一実施例を示す斜視図である。

【図2】本発明に係る一実施例を示す断面図である。

【図3】従来の絶縁性フィルムを示す斜視図である。

【図4】半導体チップの特性をプローブカード方式で測定する状態を示す斜視図である。

20 【符号の説明】

10：非導通ツール、

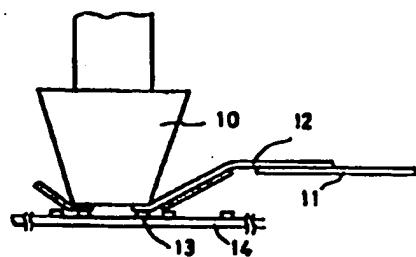
11：可撓性絶縁性フィルム

12：リード、

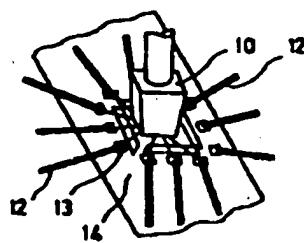
13：パンプ、

14：半導体チップ。

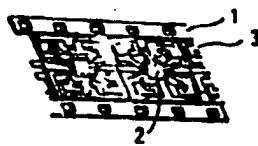
【図1】



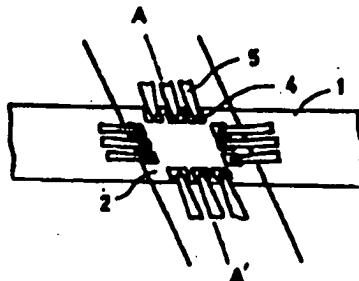
【図2】



【図3】



【図4】



10: 電極電線
11: 可逆性絶縁部
12: リード
13: パンフ
14: 半導体チャップ

フロントページの焼き

(72)発明者 小野木 康二
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内